

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-231775

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

G11C 14/00  
G11C 11/22  
H01L 27/10  
H01L 27/108  
H01L 21/8242

(21)Application number : 08-036026

(71)Applicant : **HITACHI LTD**  
**HITACHI VLSI ENG CORP**

(22)Date of filing : 23.02.1996

(72)Inventor : **ISODA MASANORI**  
**TANAKA HITOSHI**  
**SAKATA TAKESHI**  
**KIMURA KATSUTAKA**

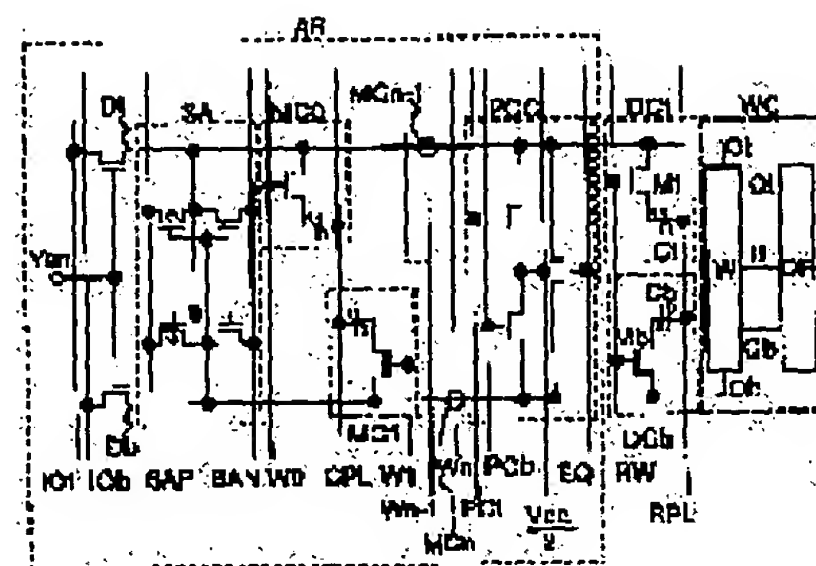
## (54) FERROELECTRIC STORAGE DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the generation of film fatigue only in one of a pair of reference cells, to reduce the failure rate of a storage device and to improve the reliability of a system by connecting and mounting an inversion circuit to a write circuit.

**SOLUTION:** An inversion circuit DF is installed by connecting data to a pair of reference cells DCt, DCb to a write circuit W, and write data are inverted at every read cycle or at every number of times of arbitrary read-cycles.

Accordingly, inversion polarization is not deviated only to one side of a pair of the reference cells, the fatigue of a ferroelectric film can be lowered, the failure of a ferroelectric storage device is reduced, and the reliability of a system is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Searching PAJ

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 1 1 C 14/00			G 1 1 C 11/34	3 5 2 A
			11/22	
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/108				6 5 1
21/8242				

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号	特願平8-36026	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成8年(1996) 2月23日	(71) 出願人	000233468 日立超エル・エス・アイ・エンジニアリン グ株式会社 東京都小平市上水本町5丁目20番1号
		(72) 発明者	磯田 正典 東京都小平市上水本町5丁目20番1号 日 立超エル・エス・アイ・エンジニアリン 株式会社内
		(74) 代理人	弁理士 小川 勝男

最終頁に続く

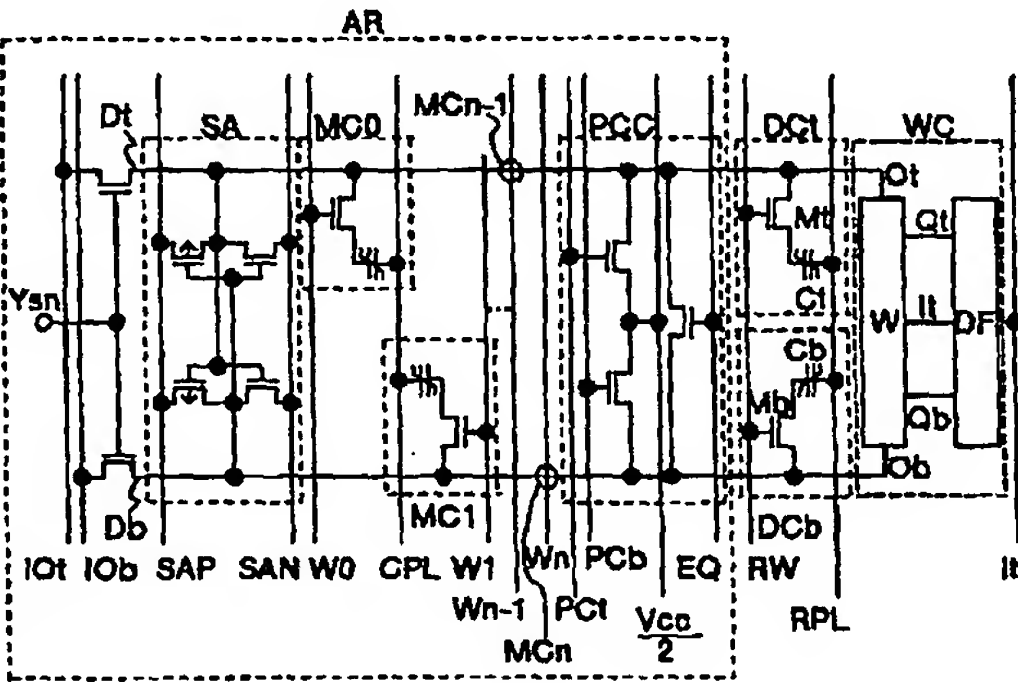
(54) 【発明の名称】 強誘電体記憶装置

(57) 【要約】

【課題】 強誘電体記憶装置の対をなすリファレンスセルの書き込みデータが固定されることによる膜疲労の偏りを防止する。

【解決手段】 反転回路 D F をリファレンスセル D C t , D C b へのデータを書き込み回路 W に接続し、読み出しサイクル毎または任意の読み出しサイクル回数毎に、書き込むデータを反転する。

図 1



## 【特許請求の範囲】

【請求項 1】メモリセルにより生じたビット線対の電位変化を検知増幅するセンスアンプ回路を有する半導体記憶装置において、前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極とビット線との間に電荷転送用トランジスタが接続され、前記メモリセルのデータにより電位変化が生じるビット線と対をなす他方のビット線に基準電位を発生するリファレンスセルは、前記メモリセルと同じ構造の強誘電体キャパシタと前記電荷転送用トランジスタで構成し、基準電位はデータ 1 を書き込んだリファレンスセルとデータ 0 を書き込んだリファレンスセルを用いて発生し、前記データは読み出しサイクル毎に反転し書き込むことを特徴とする強誘電体記憶装置。

【請求項 2】請求項 1 において、該リファレンスセルの前記電荷転送用トランジスタは前記データを出力する書き込み回路の出力線に接続し、前記出力線はセンスアンプを含むメモリセルアレーのビット線との間にトランジスタを介して接続し、前記リファレンスセルにデータを書き込む際に前記トランジスタを非導通にした強誘電体記憶装置。

【請求項 3】請求項 1 において、前記リファレンスセルの前記強誘電体キャパシタと前記電荷転送用トランジスタとの間にトランジスタのドレインまたはソース端子を接続した書き込み用トランジスタを設け、前記出力線を前記書き込み用トランジスタの他端と接続した強誘電体記憶装置。

【請求項 4】請求項 1 において、センスアンプと前記リファレンスセルを含むメモリセルアレーを二つ配置し、前記メモリセルアレー間のビット線同士を接続するビット線接続用トランジスタを設け、前記メモリセルからの信号増幅をする時には、その基準電位は前記ビット線接続用トランジスタにまたがって配置接続されている二つの前記リファレンスセルを用いて発生する強誘電体記憶装置。

【請求項 5】請求項 1 において、任意の読み出しサイクル回数毎にリファレンスセルに書き込むデータを反転する強誘電体記憶装置。

【請求項 6】請求項 1 において、前記リファレンスセル対をビット線に複数接続し、読み出しサイクル毎に選択するリファレンスセル対を変える強誘電体記憶装置。

【請求項 7】請求項 6 において、任意の読み出しサイクル回数毎にリファレンスセルに書き込むデータを反転する強誘電体記憶装置。

【請求項 8】請求項 5 または請求項 7 において、読み出しサイクルの回数をカウントするカウンタ回路を前記強誘電体記憶装置内に設けた強誘電体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は強誘電体記憶装置に

関する。

## 【0002】

【従来の技術】強誘電体記憶装置は強誘電体を持つ自発分極特性を利用した記憶装置であり、リフレッシュ動作が不要で、しかも電源電圧の降下時や電源の遮断時でも記憶データが消失しない特長を持っている。

【0003】強誘電体を用いたメモリセルとして、従来 DRAM (Dynamic Random Access Memory) で使われてきた 1MOS (Metal Oxide Semiconductor) トランジスタと 1 キャパシタで構成するセルがある。このセルはセル面積が小さく高集積化に適するが、記憶データの読み出し時にメモリセル信号を増幅するための基準電圧を必要とする。言い換えれば、基準電圧を発生するリファレンスセルを読み出しサイクル毎に毎回動作させる必要がある。このような基準電圧を発生する回路として、例えば特開平 5-242684 号公報に示すものがある。

【0004】図 16 に従来例を示す。D<sub>t</sub>, D<sub>b</sub> はビット線、W<sub>0</sub> ~ W<sub>n</sub> はワード線、I<sub>Ot</sub>, I<sub>Ob</sub> は I/O 線を示す。I/O 線は MOS トランジスタ Y<sub>t</sub>, Y<sub>b</sub> を介してビット線に接続しチップ外部との信号授受を行う。複数のメモリセル MC<sub>0</sub> ~ MC<sub>n</sub> はビット線とワード線の交点に配置する。メモリセルのキャパシタ H<sub>t</sub>, H<sub>b</sub> は強誘電体を誘電材料とするキャパシタであり、一方の端子をスイッチングトランジスタ S<sub>t</sub>, S<sub>b</sub> に接続し他方をプレート線 CPL に接続する。また、リファレンスセル DC<sub>t</sub>, DC<sub>b</sub> もメモリセルと同様に接続する。ビット線にはプリチャージ回路 PCC とセンスアンプ SA を接続する。またリファレンスセルに電圧を書き込むための回路 W を接続する。

【0005】ここではデータ 1, 0 を高電位 V<sub>cc</sub>, 低電位 V<sub>ss</sub> として、例えば、MC<sub>0</sub> に記憶されたデータの読み出し動作を説明する。まず、ビット線 D<sub>b</sub> に基準電圧を発生させるために、信号 PC<sub>t</sub>, PC<sub>b</sub>, EQ を高電位にし回路 PCC を動作させてビット線 D<sub>t</sub>, D<sub>b</sub> を V<sub>cc</sub>/2 にプリチャージする。この時、リファレンスセル DC<sub>t</sub>, DC<sub>b</sub> に接続したプレート RPL の電位は V<sub>cc</sub>/2 に保たれている。その後、PC<sub>t</sub>, PC<sub>b</sub>, EQ を低電位にしてリファレンスセル用のワード線 RW を高電位にすると M<sub>t</sub>, M<sub>b</sub> は導通状態になり D<sub>t</sub> と C<sub>t</sub>, D<sub>b</sub> と C<sub>b</sub> は接続された状態になる。この状態で RPL を V<sub>cc</sub> または V<sub>ss</sub> に変化すると、強誘電体を用いたキャパシタ C<sub>t</sub>, C<sub>b</sub> の分極は電界の変化分だけ変わりビット線にプリチャージされた電荷の量も分極の変化に相応して変わる。

【0006】ところで、リファレンスセル DC<sub>t</sub> はデータ 1 に対応した電位 V<sub>cc</sub> が書き込まれており DC<sub>b</sub> にはデータ 0 が書き込まれているので D<sub>t</sub>, D<sub>b</sub> に発生した電荷量の差はデータ 1, 0 の信号差に等しい。そこで EQ を高電位にすると D<sub>t</sub>, D<sub>b</sub> は短絡状態になりデータ 1, 0 の信号差の中間電位が現れる。この中間電位を

基準電圧とする。

【0007】メモリセルMC0の読み出し動作は前記動作と同様にビット線Dtのみに行えば良い。次に、Dtに現れたメモリセル信号とDbの基準電圧をセンスアンプSAを用いて差動増幅すればメモリセルに書き込まれたデータの読み出し動作が完了する。

【0008】図17に強誘電体を用いたキャパシタの分極特性を示す。図17は横軸に電圧V、縦軸に分極の大きさPを示し、実線で分極特性を示す。分極特性は電圧Vに対してヒステリシスループを持つ。

【0009】図17を用いてリファレンスセルの動作をキャパシタの分極状態と照らし合わせて説明する。A点はプレートRPLをVcc/2に保ちデータ1つまりVccを書き込んだ状態、B点はデータ0を書き込んだ状態を示す。この時ワード線が低電位になればキャパシタはこの分極状態を保つ。次にC点とD点はワード線が選択された時の状態でありMt、Mbが導通となり、ビット線Dt、DbもVcc/2にプリチャージされているためキャパシタに掛かる電圧Vは零となる。この時、C点は安定な分極状態+Prであり、D点は安定な分極状態-Prである。

【0010】G点、F点はRPLをVssに変化させた時の分極状態を示す。G点は直線Jとヒステリシス曲線の交点であり、F点は直線Kとヒステリシス曲線の交点である。J、Kはビット線容量Cdの値で負の傾きを持つ直線である。

【0011】C点からRPLをVssに変化させた時の状態を考えると、キャパシタCtに蓄えられた電荷量とCdに蓄えられた電荷量が分極の変化に対して変わることの意味するため-Cdの傾きを持った直線がC点から電圧-Vcc/2まで移動することとなり、この時のキャパシタCtに掛かる電圧はこの直線上のG点で示される値となる。また、F点についても同様である。この時読み出された電荷量がデータ1、0に対応する信号となる。この後、書き込み回路Wの動作によりデータが書き込まれ、G点はHのループを回ってA点に、F点はB点に戻る。

【0012】ここで、問題となるのがC点からG点に達するまでの強誘電体内の反転分極である。キャパシタCtはA点からC点の間、正の電圧による分極が行われ、C点からG点の間は負の電圧により反転分極が行われる。さらにHのループでも反転分極が行われる。この反転分極は強誘電体膜の疲労原因となる。また、この現象はデータ1のみに現れ、データ0には現れない。但し、プレートをVccに変化させた場合はデータ0のみに現れ、データ1には現れない。つまり、強誘電体の疲労にデータ依存性が生じる。

【0013】特に、一対のビット線に一対のリファレンスセルが接続されている場合、複数のメモリセルに対して読み出しサイクル毎に毎回同じリファレンスセルが用

いられるためメモリセルよりも膜疲労が激しい。この膜疲労は半導体記憶装置の故障原因となり、さらにシステムの故障原因となる問題が生じる。

【0014】

【発明が解決しようとする課題】以上のように、メモリセルを1MOSトランジスタと1キャパシタで構成する強誘電体記憶装置のリファレンスセルは強誘電体膜の疲労にデータ依存性があり、メモリセルの読み出し動作に応じて、毎回同じリファレンスセルが膜疲労を起こすという問題がある。本発明の解決しようとする課題は、リファレンスセルの強誘電体膜の疲労を軽減することである。さらに、強誘電体膜の疲労を軽減することにより強誘電体記憶装置の故障を低減し、システムの信頼性を向上することである。

【0015】

【課題を解決するための手段】上記の課題は、一対のリファレンスセルに書き込む相補的なデータを読み出しサイクル毎または任意の読み出しサイクル回数毎に反転させ、データ依存性を持つ強誘電体の膜疲労の偏りを解消することにより達成される。

【0016】

【発明の実施の形態】

〈実施例1〉図1に本発明の第1の概念的実施例を示す。本実施例の特徴は、リファレンスセルにデータを書き込むための書き込み回路に反転回路を接続し、1サイクル毎に書き込みデータの反転を行うことである。

【0017】本実施例のARで囲まれた部分およびリファレンスセルDCt、DCbは図16の従来例と同一であり、書き込み回路Wの変更と新たに反転回路DFを設けている点異なる。

【0018】図2に書き込み回路の実施例を示す。本実施例ではPMOSTランジスタPtとNMOSTランジスタNtを縦列接続した、いわゆるトリステートバッファであり、Pb、Nbも同様である。また、At、AbはNAND回路であり、Rt、RbはNOR回路である。出力OtはPt、Ntのドレインを共通にしたノードでありビット線Dtに接続し、また出力ObはDbに接続している。

【0019】本回路はItが高電位になるとNAND回路、NOR回路が導通状態になりAt、RtはQtの信号を反転し出力OtにはQtの論理と同じ信号を出力する。同様にAb、RbはQbの信号を反転しObにはQbの論理と同じ信号を出力する。Itが低電位になるとNAND路の出力Ipt、Ipbが高電位、NOR回路の出力Int、Inbが低電位になり、書き込み回路Wの出力Ot、Obは高(High)インピーダンスになる。

【0020】図3に反転回路の実施例を示す。本実施例は破線で囲んだDFの部分でD型のフリップフロップであり、DFは反転出力Qbを入力端子Dinに入力しているため、Itに入力されるクロックの1サイクル毎に



出力 $Q_t$ 、 $Q_b$ は反転する。ここで $Q_t$ と $Q_b$ は相補信号である。

【0021】図4に図3で用いた論理記号(a)とその回路(b)を示す。回路はCMOSを用いたクロックドインバータであり、NMOSのゲート $C_n$ を低電位、PMOSのゲート $C_p$ を高電位にすることにより出力 $O$ はHighインピーダンスになり、また $C_n$ を高電位、 $C_p$ を低電位のとき入力 $I$ の反転信号を出力する。

【0022】図5に実施例のタイミングチャートを示す。例えば、メモリセルMC0にデータ1が書き込まれているとして読み出し動作を説明する。まず、 $PC_t$ 、 $PC_b$ 、 $EQ$ のパルス信号により $D_t$ 、 $D_b$ を $V_{cc}/2$ にプリチャージする。次に、リファレンスセル用のワード線RWを立ち上げてRPLを $V_{ss}$ にすると、 $D_t$ にはデータ1の信号電圧、 $D_b$ にはデータ0の信号電圧が現れる。そこで、 $EQ$ を立ち上げると $D_t$ 、 $D_b$ は短絡しデータ1、0の信号電圧の中間値つまり基準電圧が現れる。その後、同様に $D_t$ のみに前述の動作を行う。

【0023】 $PC_t$ のパルスにより $D_t$ をプリチャージし、ワード線W0を立ち上げてプレートCPLを $V_{ss}$ に下げるとデータ1の信号が読み出される。ここまでは $D_b$ には基準電圧、 $D_t$ にはデータ1の信号が現れる。その後、センスアンプ駆動信号SAP、SANによりビット線の信号を差動増幅をして、 $Y_{sn}$ 信号を立ち上げることにによりビット線上の増幅した信号はIO線を通りチップ外部へと出力される。

【0024】この後、リファレンスセルへデータを書き込む。まず、SAPとSAN及びRPLを $V_{cc}/2$ に戻し、RWを立ち上げる。次に、反転回路のクロック $I_t$ を立ち上げると書き込み回路の出力は前サイクルのデータの反転信号 $O_t$ には $V_{ss}$ 、 $O_b$ には $V_{cc}$ を出力しリファレンスセル $DC_t$ 、 $DC_b$ に書き込む。その後、RWを立ち下げればリファレンスセルへの書き込みは終了する。

【0025】以上のように、読み出し動作毎にリファレンスセルに書き込むデータは前サイクルで書き込んだデータを反転した信号で書き込むため、対をなすリファレンスセルの片側だけに反転分極が片寄らず、強誘電体膜の疲労を軽減できる。さらに強誘電体記憶装置の故障を低減しシステムの信頼性を向上させる。

【0026】〈実施例2〉図6に本発明の他の実施例を示す。本実施例の特徴は、リファレンスセル $DC_t$ 、 $DC_b$ をMOSトランジスタを介してデータ線と接続したことである。本実施例でARで囲まれた部分は従来例と同一であり、リファレンスセル $DC_t$ 、 $DC_b$ はMOSトランジスタ $CM_t$ 、 $CM_b$ を介して接続する。 $M_t$ 、 $M_b$ のゲートはRWに接続しRWの信号により $M_t$ 、 $M_b$ を導通または非導通にする。リファレンスセルのキャパシタ $C_t$ 、 $C_b$ にデータを書き込む場合、 $CM_t$ 、 $CM_b$ を非導通にしてビット線を切り離し書き込み回路の負荷

を削減する。

【0027】本実施例では書き込み回路の負荷が低減できるため、高速にデータが書き込み、消費電力を低減できる利点がある。

【0028】〈実施例3〉図7に本発明の他の実施例を示す。本実施例の特徴は、リファレンスセルに新たにMOSトランジスタを接続して複数のリファレンスセルに共通の書き込み回路を接続したことである。本実施例でARで囲まれた部分は従来例と同一であり、リファレンスセル $DC_t$ 、 $DC_b$ にMOSトランジスタ $T_t$ 、 $T_b$ のドレイン端子を接続する。ARと $DC_t$ 及び $DC_b$ を含むアレー部は複数あり $B_0 \sim B_n$ で示す。 $T_t$ 、 $T_b$ のソース端子は共通の書き込み線 $W_t$ 、 $W_b$ に接続する。 $T_t$ 、 $T_b$ のゲートはWDに接続しWDの信号により $T_t$ 、 $T_b$ を導通または非導通にする。 $O_t$ 、 $O_b$ に出力される書き込み回路Wの出力は前述の実施例と同様であり、 $I_t$ に入力されるクロックの1サイクル毎にデータを反転する。

【0029】本実施例では複数のリファレンスセルに対して共通の書き込み回路を設けたことにより、レイアウト面積を小さくでき、さらにチップ面積を小さくできる利点がある。

【0030】〈実施例4〉図8に本発明の他の実施例を示す。本実施例の特徴は、書き込み回路にインバータを用いたことである。本実施例では複数のアレー $B_0 \sim B_n$ は前述の実施例と同一であり、MOSトランジスタ $T_t$ 、 $T_b$ を用いたことにより書き込み回路WはHighインピーダンスの状態が必要でなくなり、トライステートバッファの代わりにインバータを用いている。

【0031】本実施例では論理素子数を削減したことにより、レイアウト面積を低減でき消費電力を低減する利点がある。

【0032】〈実施例5〉図9に本発明の他の実施例を示す。本実施例の特徴は、図1に示したリファレンスセルを含むメモリセルアレーを書き込み回路を中心にして対称に配置し、トランジスタを介してビット線同士を接続したことである。本実施例でARで囲まれた部分は従来と同一であり、書き込み回路Wと反転回路DFを含む回路WC0は図8のWC0と同一である。

【0033】リファレンスセル $DC_t$ は左側アレーのビット線 $D_tL$ に、リファレンスセル $DC_b$ はMOSトランジスタ $E_t$ を挟んで対面する右側アレーのビット線 $D_tR$ に接続する。また同様に、 $DC_b$ はビット線 $D_bL$ に、 $DC_b$ はMOSトランジスタ $E_b$ を挟んで $D_bR$ にそれぞれ接続する。つまり、 $DC_t$ と $DC_b$ はリファレンスセルの対となる。

【0034】例えば、本実施例でビット線 $D_bL$ に接続したメモリセルの読み出し動作を行う場合、基準電圧を $D_tL$ に発生させる必要がある。 $DC_t$ 、 $DC_b$ は予め書き込み回路によりそれぞれ相補的なデータを書き

10

20

30

40

50

込んでおき、従来と同様にリファレンスセル用のワード線RWtを高電位にしてプレートRPtの電位を変化させるとビット線DtL、DtRに1、0の信号が発生する。次に、EQtを高電位にしMOSトランジスタEtを導通状態にするとDtLとDtRが短絡し信号1、0の中間電位つまり基準電圧が発生する。

【0035】本実施例では基準電圧が発生するときに、メモリセルに接続したビット線を用いないため、メモリセル信号と基準電圧を同時に読み出すことができ、データの読み出し時間を短縮できる利点がある。

【0036】〈実施例6〉図10に本発明の他の実施例を示す。本実施例の特徴は図1に示した実施例にカウンタ回路を設け、カウンタ回路の出力Icを反転回路DFに入力したことである。これにより、リファレンスセルに書き込むデータの反転を任意の読み出し回数毎に行うことである。

【0037】本実施例では読み出しサイクル毎にカウント値を一つ増加し、設定した読み出しサイクル回数とカウント値の一致を判定してIcにワンショットパルスを出力する。以上のように、本実施例ではデータの反転時期を設計者またはユーザが自由に設定できる利点がある。

【0038】図11にカウンタ回路の実施例を示す。本回路は大きく分けて三つの部分から構成している。読み出しサイクルをカウントするカウント回路CC、設定した読み出しサイクル回数とカウント値の一致を判定する判定回路DR、カウント値の一致により出力された信号をワンショットパルスに変換する出力回路OCである。

【0039】カウント回路CCは、入力信号の一周期分を半周期出力するフリップフロップFF0~FFnをチェーン接続した回路である。二進法で表される最下位ビットは読み出しサイクル毎に一周期出力する信号Trであり、後は順次最上位ビットFFnの出力信号Cnまでカウント値を出力する。

【0040】判定回路DRは読み出しサイクルの回数を設定する回路PFと、設定した値とカウント値の一致を判定するEN0~ENNとNAND回路で構成する。PFは従来使われているレジスタ回路やROM(Read Only Memory)を用い、EN0~ENNはエクスクルシブ(Exclusive) NOR回路を用いる。EN0~ENNは設定値とカウント値が一致すると出力E0~EnにHighレベルの信号を出力する。その信号を入力してNAND回路NAはLowレベルを出力する。

【0041】出力回路OCは遅延回路DLとNOR回路NRで構成する。NAの出力O1と遅延回路DLの出力O2はNOR回路NRの入力であり、O1、O2がLowレベルになると出力ItはHighレベルを出力する。

【0042】図12にフリップフロップ回路の実施例を示す。本回路は二分の一分周回路であり、入力信号Cnの一周期に対して出力信号Cn+1が半周期出力する。

【0043】図13にカウンタ回路のタイミングチャートを示す。本図では、二進法の0、1に対して電圧のロー(Low)レベル、ハイ(High)レベルが対応する。

【0044】読み出しサイクル値を1000に設定した例について説明をする。始めに、Rstに一旦ハイレベルに立ち上げるワンショットパルスを入力する。カウンタ回路の出力C0~C3は最下位ビット~最上位ビットのカウント値であり、全ての出力をローレベルにする。次に、読み出しサイクル毎に一周期出力する信号Trをカウンタ回路に入力する。カウンタ回路の出力C0~C3は二進法のカウント値に従い0、1を繰り返す。PFで設定した値はD0~D3であり最下位ビット~最上位ビットである。つまり、値1000はD3だけがハイレベルであり他はローレベルである。E0~E3はEN0~ENNの出力であり、E0~E2はC0~C2を反転した信号になる。O1はNAの出力であり、E0~E3が全てハイレベルになるとローレベルを出力する。O2は遅延回路DLによりO1の変化よりも少し遅れてハイレベルを出力する。この遅れた時間tdの間はO1とO2は両方ともローレベルであり、NOR回路NRは出力Icにハイレベルを出力しO2がハイレベルになった瞬間Icはローレベルに立ち下がりワンショット信号を出力する。

【0045】以上のように、読み出しサイクル回数の設定値毎にデータ反転信号を出力し、リファレンスセルに反転したデータを書き込む。

【0046】〈実施例7〉図14に本発明の他の実施例を示す。図14は図1に示した第1の概念的実施例に複数のリファレンスセル対を接続した実施例であり、リファレンスセルのワード線を選択するデコーダDCを設け、それ以外は図1と同様である。リファレンスセルの選択の仕方は多くある。例えば、1サイクル毎に順次変える方法や数サイクル毎に変える方法、設定した時間毎に変える方法などある。いずれにしても、複数のリファレンスセルの強誘電体膜の劣化が均一になるように選択すれば良い。

【0047】本実施例では複数のリファレンスセル対を接続することにより、さらに強誘電体膜の劣化を低減する利点がある。

【0048】〈実施例8〉図15に本発明の他の実施例を示す。本実施例は図14の例にカウンタ回路を設けた例であり、複数のリファレンスセルを用いながら、任意の読み出しサイクル毎に書き込むデータを反転させる例である。

【0049】本実施例では複数のリファレンスセルを用いて強誘電体膜の劣化を低減し、データの反転時期を任意の読み出しサイクル回数値に設定できる利点がある。

【0050】

【発明の効果】リファレンスセルに書き込むデータを反転することにより、対となるリファレンスセルの一方に

生じた膜疲労を軽減できるため、強誘電体記憶装置の故障率を低減でき、システムの信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体記憶装置の要部回路図。

【図2】本発明の実施例1の書き込み回路の一例を示す回路図。

【図3】本発明の実施例1の反転回路の一例を示す回路図。

【図4】本発明の実施例1の反転回路で用いた論理記号と回路の説明図。

【図5】本発明の実施例1の動作を示すタイミングチャート。

【図6】本発明の実施例2の要部回路図。

【図7】本発明の実施例3の要部回路図。

【図8】本発明の実施例4の要部回路図。

【図9】本発明の実施例5の要部回路図。

【図10】本発明の実施例6の要部回路図。

【図11】本発明の実施例6のカウンタ回路の一例を示す回路図。

【図12】本発明の実施例6のカウンタ回路で用いたフ

リップフロップの一例を示す回路図。

【図13】本発明の実施例6のカウンタ回路のタイミングチャート。

【図14】本発明の実施例7の回路図。

【図15】本発明の実施例8の回路図。

【図16】従来例の半導体記憶装置の回路図。

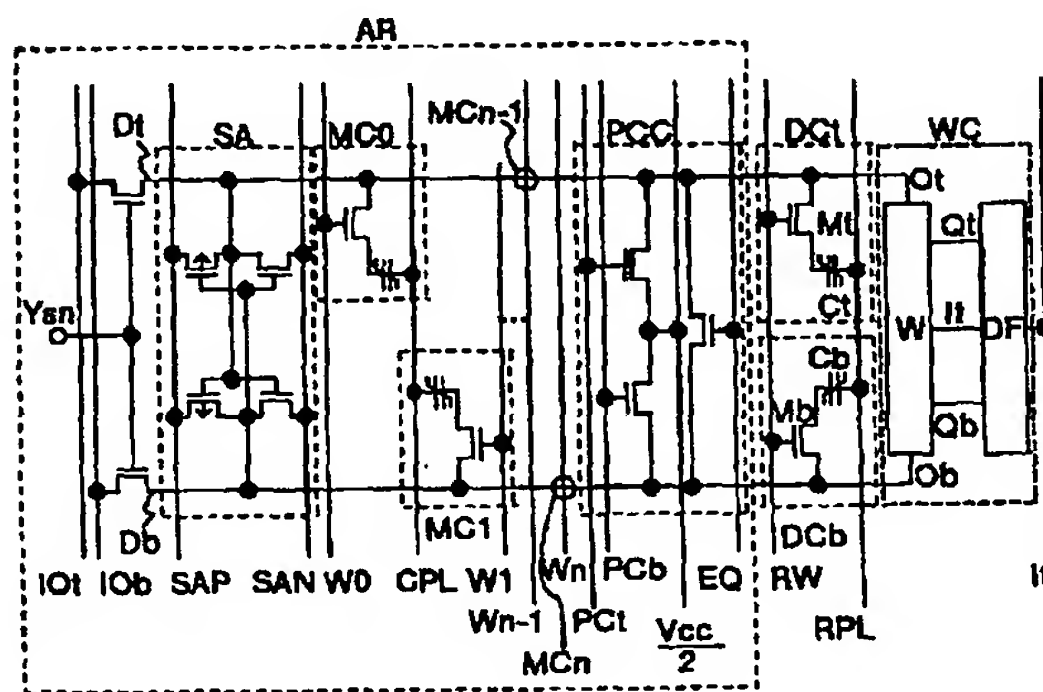
【図17】強誘電体キャパシタの電圧と分極の関係を示す説明図。

【符号の説明】

Dt, Db…ビット線、IOt, IOb…入出力線、PCC…プリチャージ回路、SA…センスアンプ、MC0~MCn…メモリセル、DCt, DCb…リファレンスセル、W…リファレンスセル用書き込み回路、DF…反転回路、SAN, SAP…センスアンプ駆動信号線、PCt, PCb…プリチャージ回路駆動信号線、EQ…イコライズ駆動信号線、RW…リファレンスセル用ワード線、CPL…プレート線、RPL…リファレンスセル用プレート線、It…反転回路用クロック線、Vcc/2…電源電圧の中間電圧線。

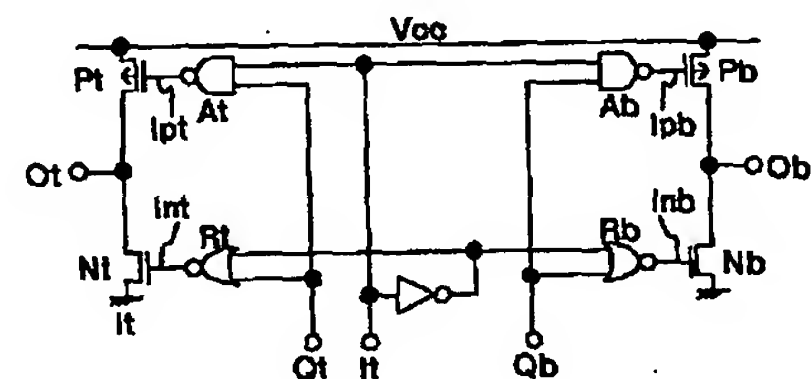
【図1】

図1



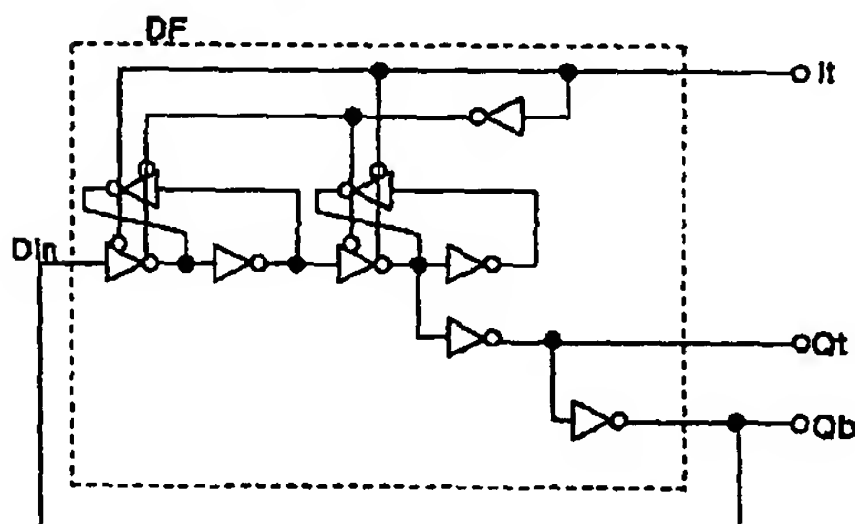
【図2】

図2



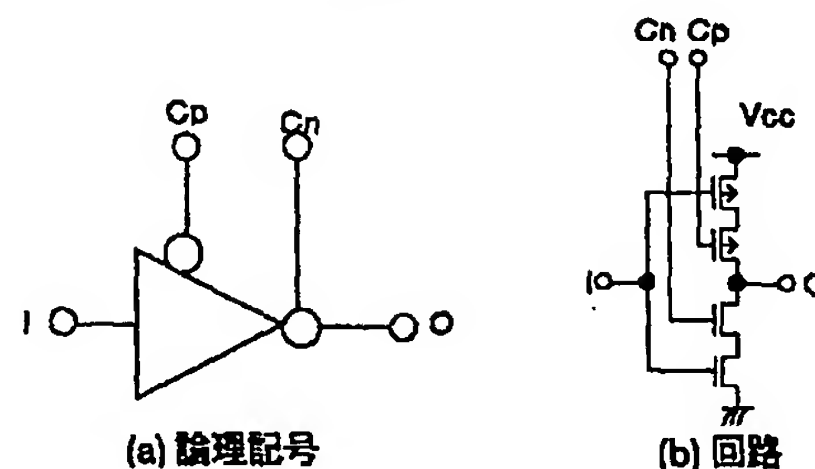
【図3】

図3



【図4】

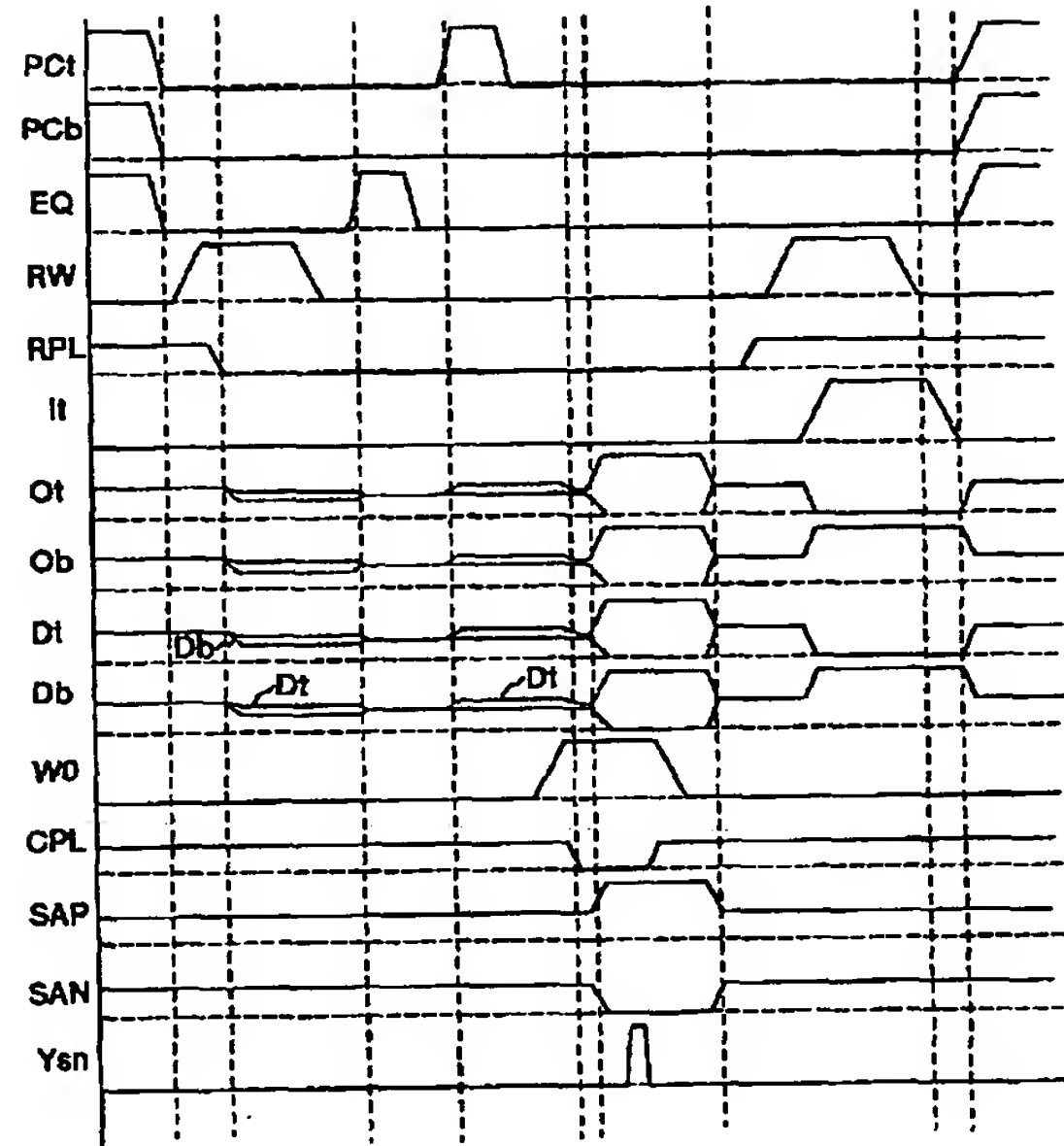
図4





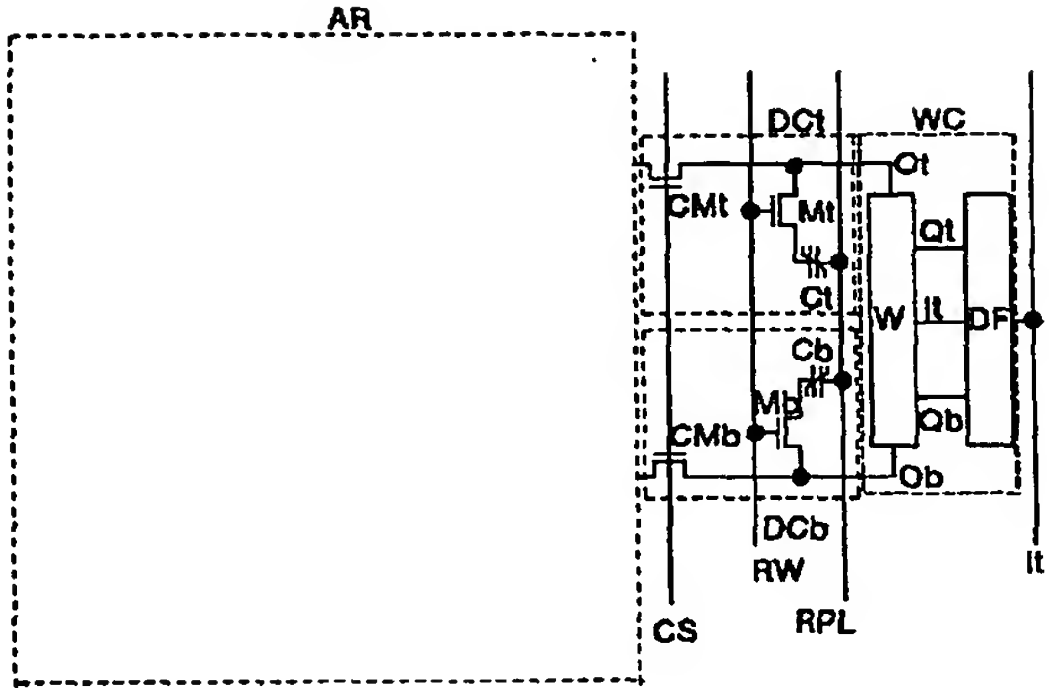
【図5】

図5



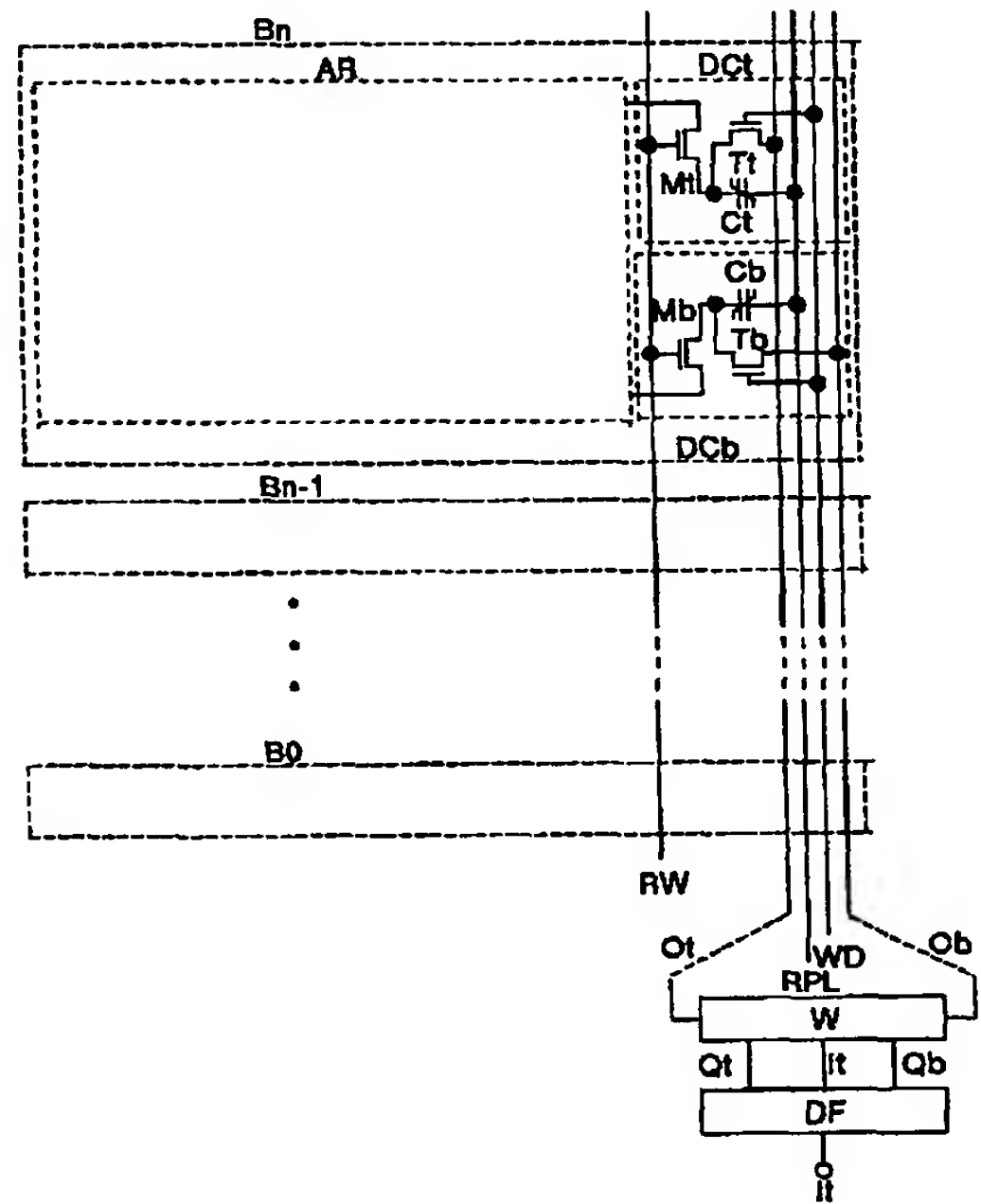
【図6】

図6



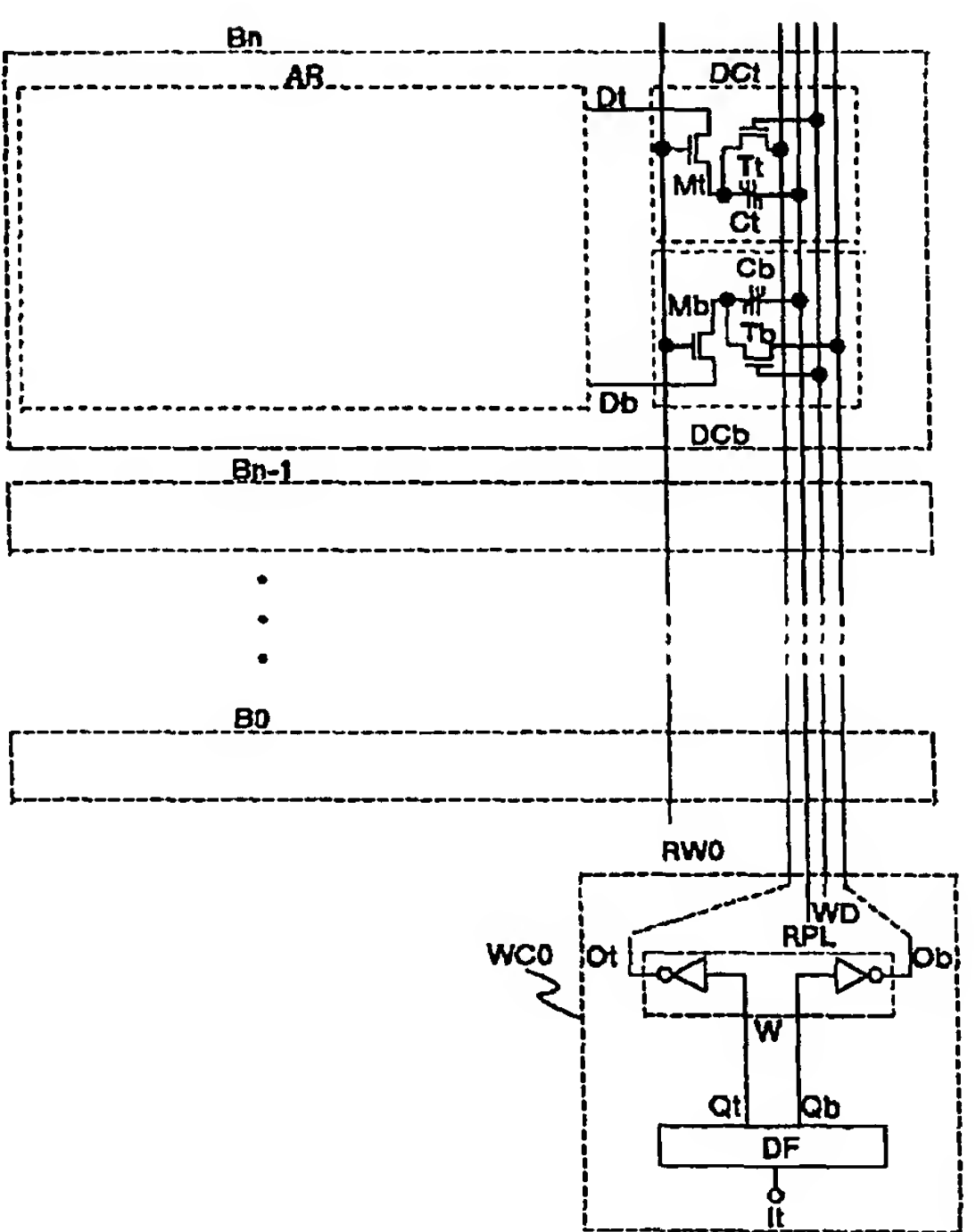
【図7】

図7

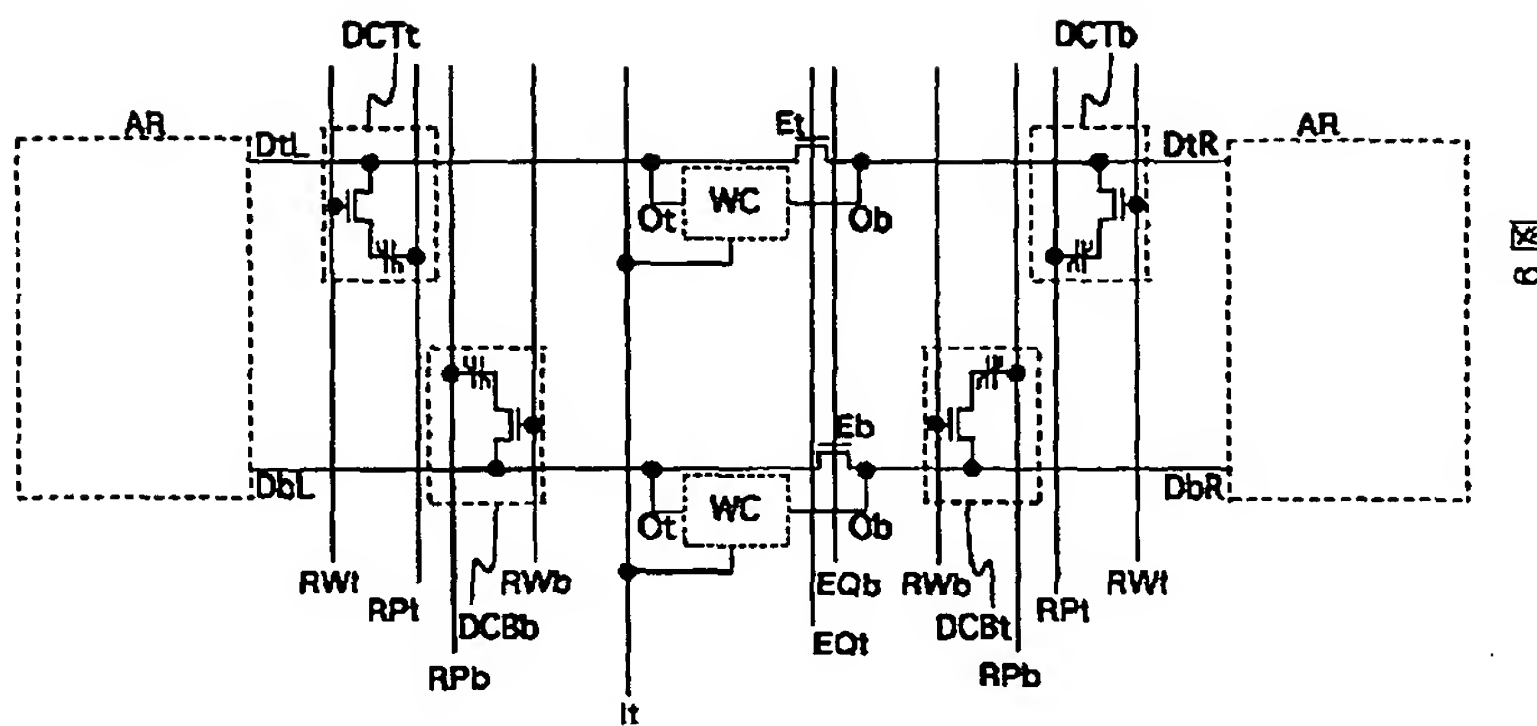


【図8】

図8

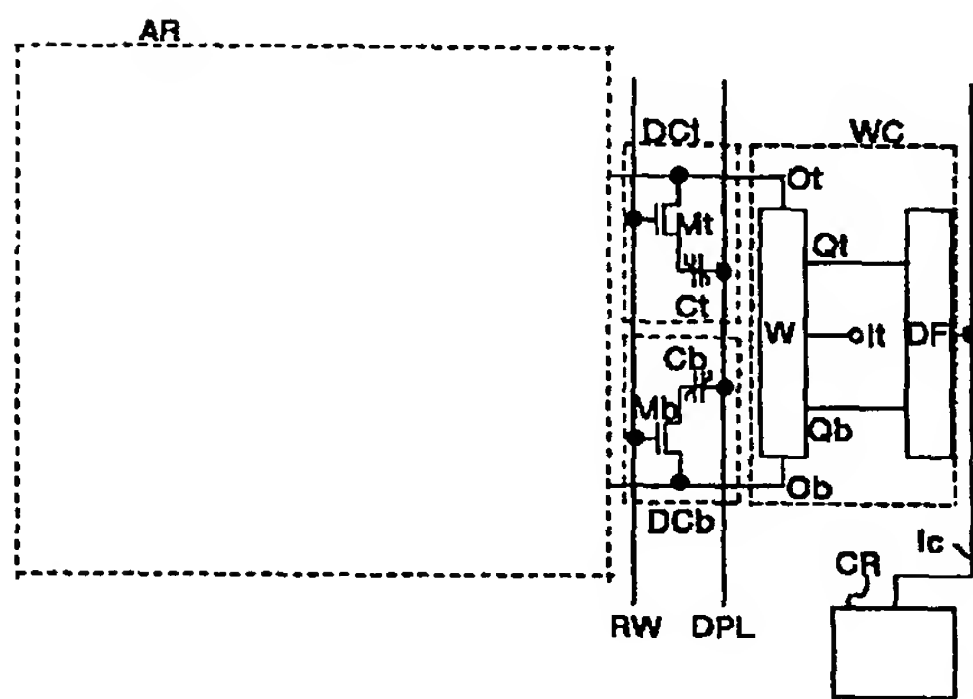


【図 9】



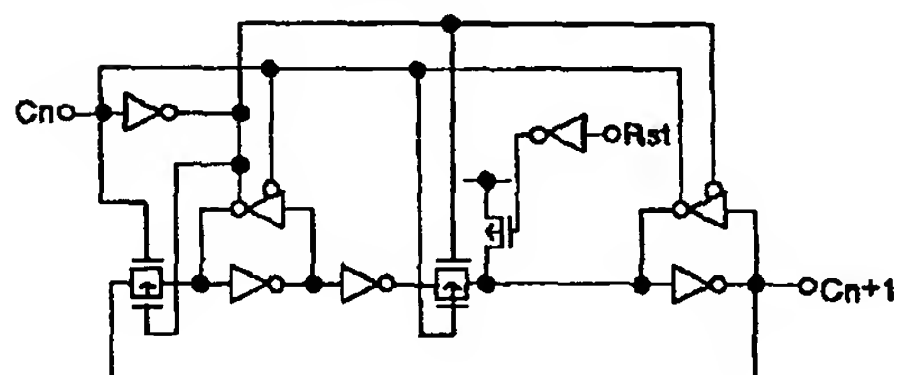
【図 10】

図 10



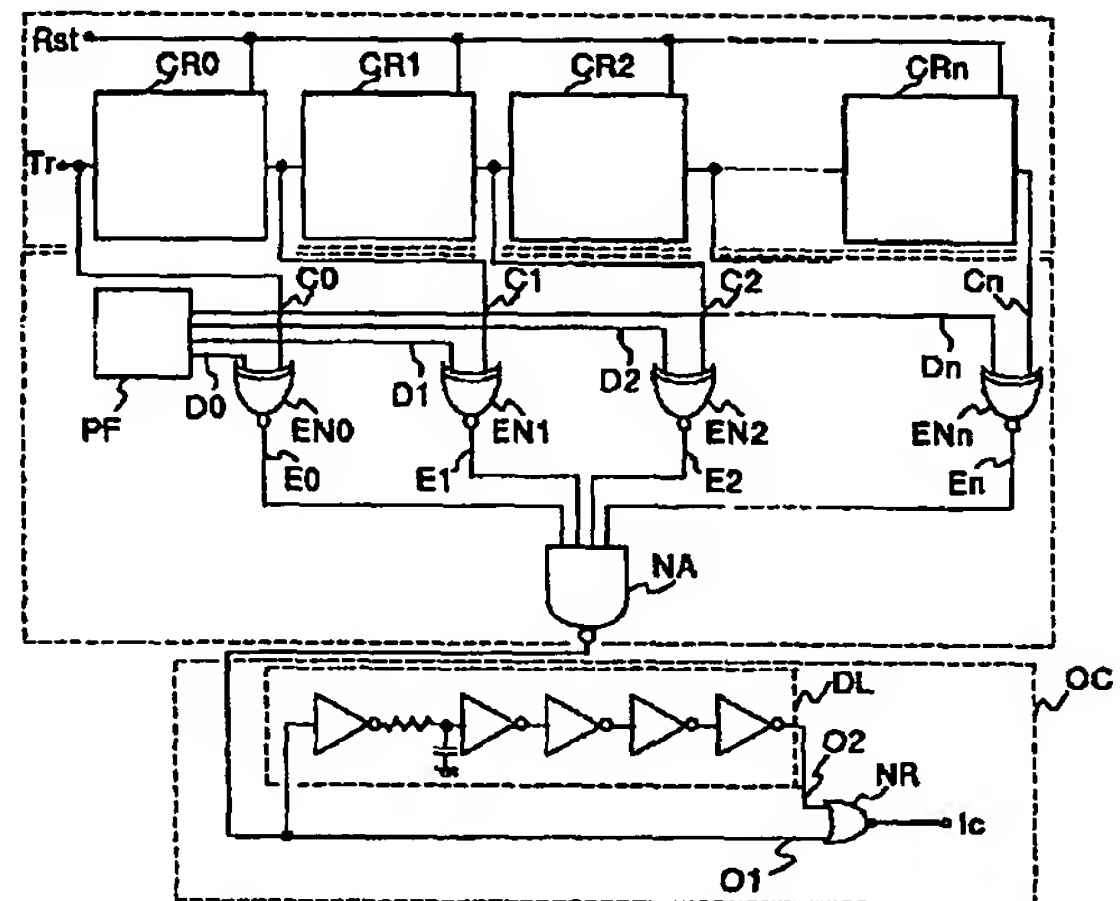
【図 12】

図 12



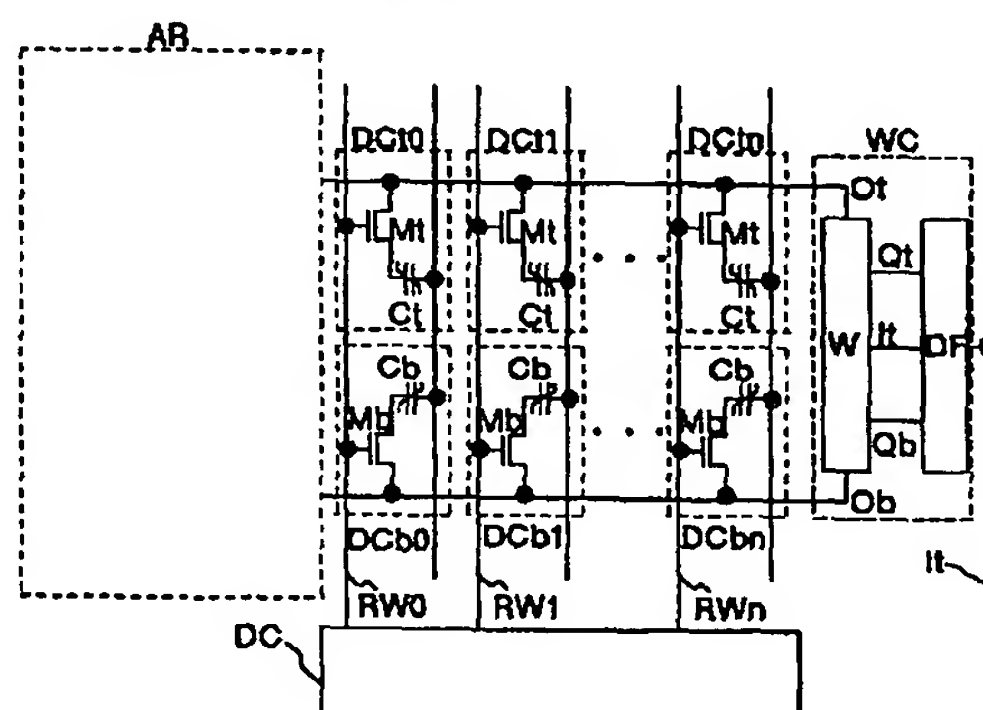
【図 11】

図 11



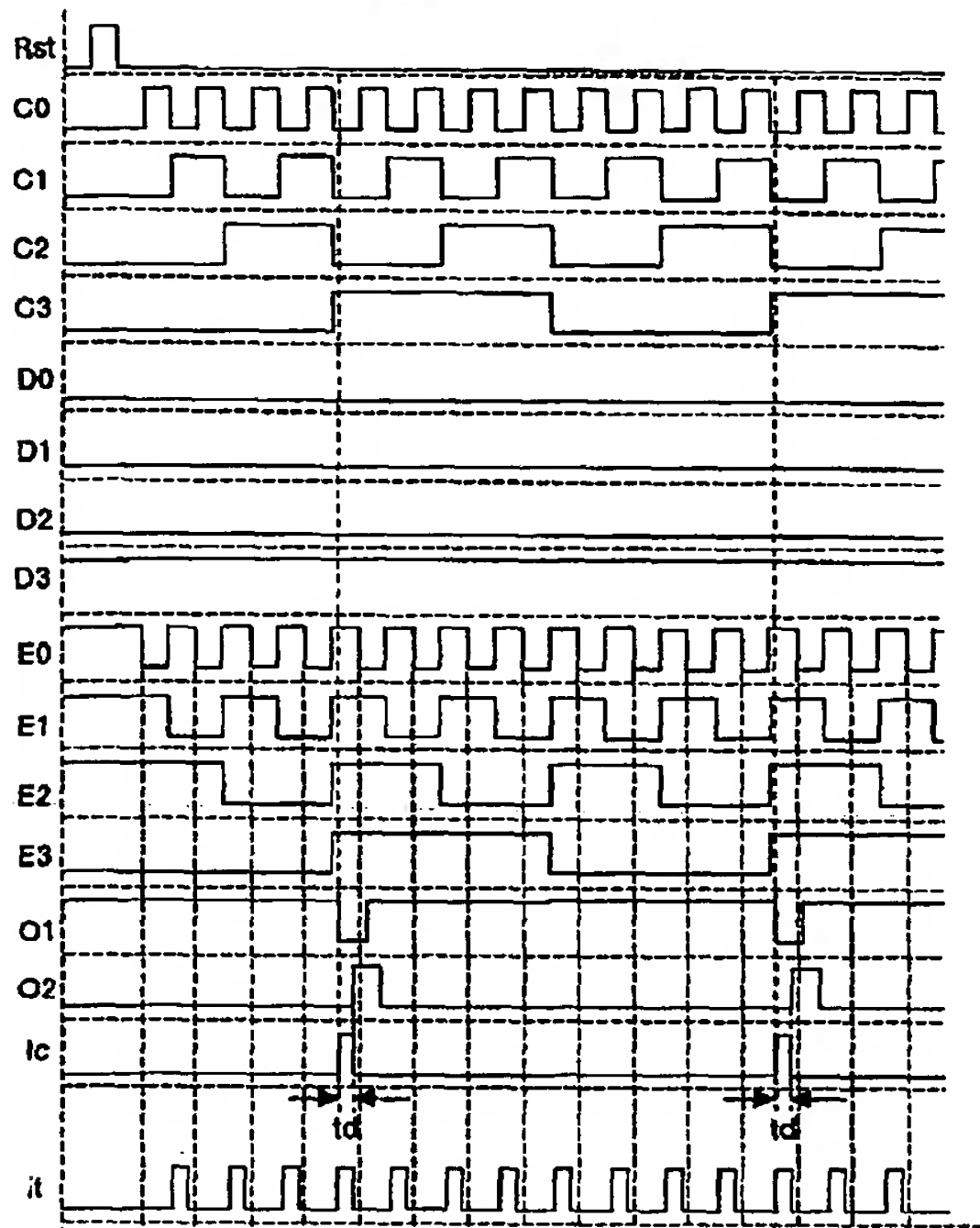
【図 14】

図 14



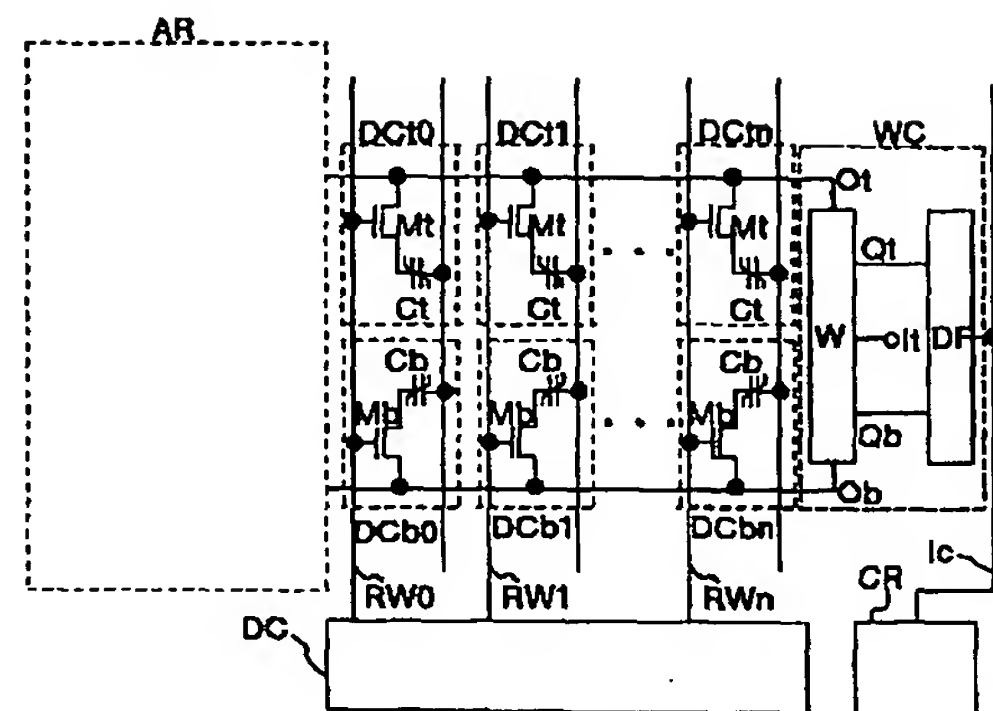
【図13】

図13



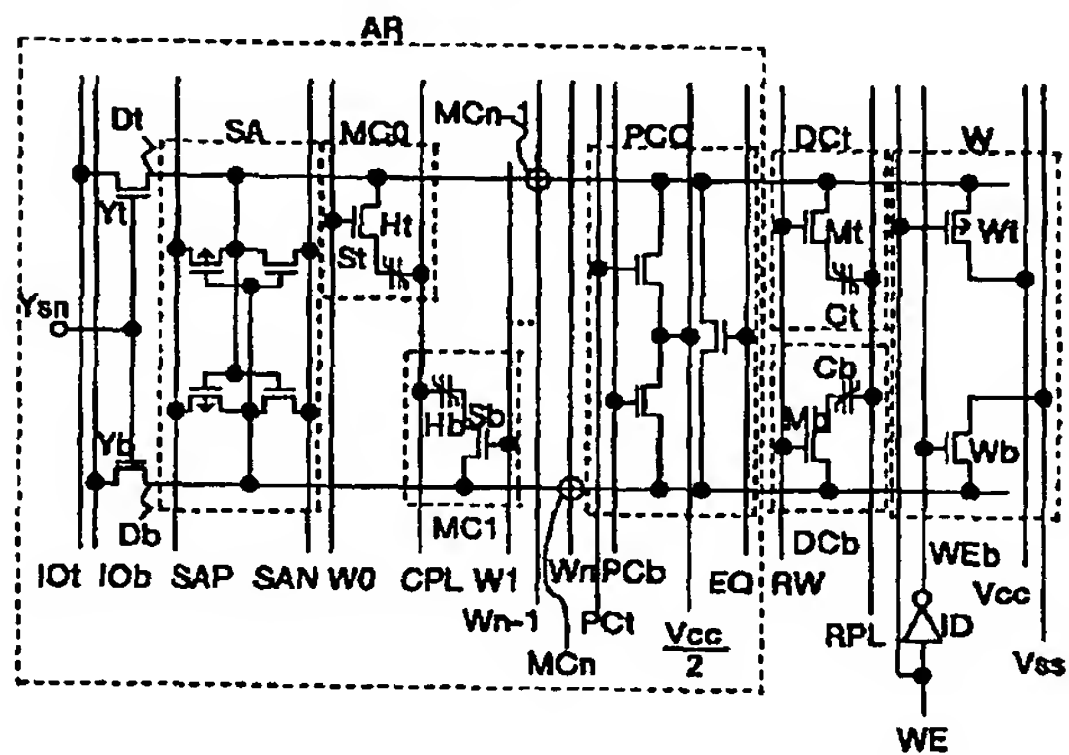
【図15】

図15



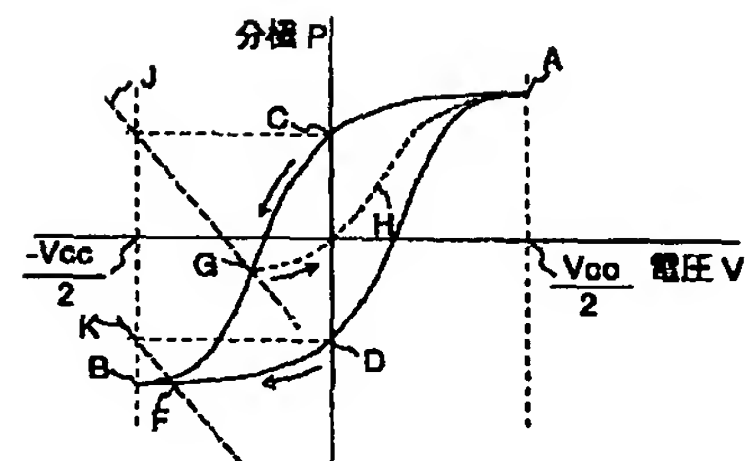
【図16】

図16



【図17】

図17



フロントページの続き

(72)発明者 田中 均

東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 阪田 健

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 木村 勝高  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内